

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209304

(43)Date of publication of application : 07.08.1998

(51)Int.CI. H01L 21/8246
H01L 27/112
G11C 16/06

(21)Application number : 09-353104 (71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 22.12.1997 (72)Inventor : JANG CHEOL-UNG

(30)Priority

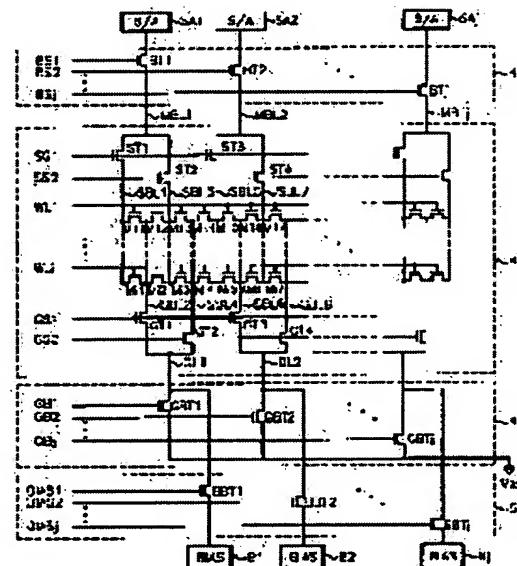
Priority number : 96 9680805 Priority date : 31.12.1996 Priority country : KR

(54) SEMICONDUCTOR READ-ONLY MEMORY AND ITS READING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-speed NOR type of ROM which operates with low power voltage.

SOLUTION: A ROM which has hierarchical bit line structure possesses bias voltage-generating circuits B1-Bj which selectively supply bit lines with bias voltage through ground lines GL1 and GLj. In the case that an off cell is selected and all the cells adjacent to the selected cell are programmed as ON cell, bias voltage is applied to the sub-bit line most adjacent to the selected cell, making use of a bias voltage generating circuit, during the time of precharge, so as to solve the problem that the precharge level of the main bit line drops without being kept constant when the work line is activated. With this, the bit line precharge time becomes short, and there is no leakage current, so low Vcc and high-speed operation become possible.



LEGAL STATUS

[Date of request for examination] 26.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-209304

(43)公開日 平成10年(1998)8月7日

(51) Int.Cl.⁶
 H 01 L 21/8246
 27/112
 G 11 C 16/06

識別記号

F I
 H 01 L 27/10 4 3 3
 G 11 C 17/00 6 3 4 B

審査請求 未請求 請求項の数 5 OL (全 10 頁)

(21)出願番号 特願平9-353104
 (22)出願日 平成9年(1997)12月22日
 (31)優先権主張番号 1996 P-80805
 (32)優先日 1996年12月31日
 (33)優先権主張国 韓国(KR)

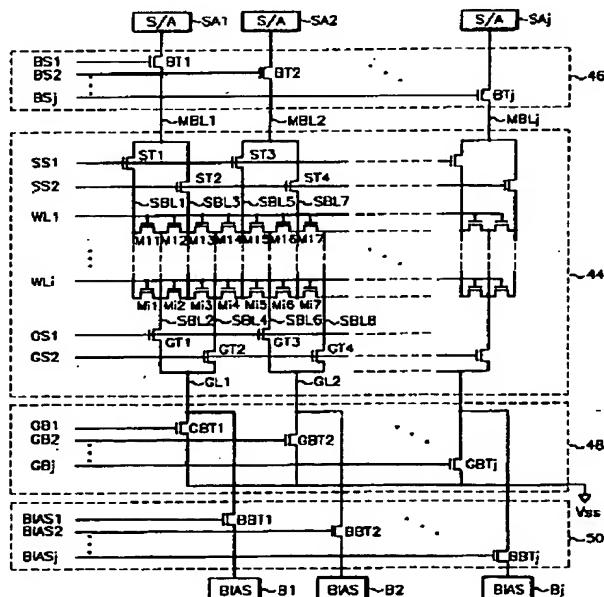
(71)出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞416
 (72)発明者 張 ▼チエオル▲雄
 大韓民国京畿道水原市勤善区高騰洞198-
 93
 (74)代理人 弁理士 萩原 誠

(54)【発明の名称】 半導体読出専用メモリ及びその読出方法

(57)【要約】

【課題】 低電源電圧で動作する高速NOR型ROMを提供する。

【解決手段】 階層的なビットライン構造を持つROMはグラウンドラインGL1～GLjを通じてサブビットラインに選択的にバイアス電圧を供給するバイアス電圧発生回路B1～Bjを具備する。オフ・セルが選択され、選択されたセルに隣接したセル全てがオン・セルとしてプログラムされている場合、ワードラインが活性化される時、メインビットラインのプリチャージレベルが一定に維持されずに低下する問題を解決するため、プリチャージの時間の間、バイアス電圧発生回路を利用して選択されたセルに最も隣接したサブビットラインにバイアス電圧を印加する。これで、ビットラインプリチャージ時間が早くなり、漏洩電流がないので、低いVcc及び高速動作ができるようになる。



【特許請求の範囲】

【請求項1】 階層的なピットライン構造を持つ半導体読出専用メモリ装置において、複数の第1ピットラインと、複数のグループのメモリセルと、複数の第2ピットラインと、前記第2ピットラインに各々対応する複数のグラウンドラインとを含み、前記各グループ内のメモリセルは前記第1ピットライン中の2つの隣接したピットラインに並列に電気的に連結され、前記第1ピットライン対第2ピットラインの比は2対1であり、各々が前記第1ピットライン中の対応する奇数番ラインの一段と対応する第2ピットラインの一段との間に連結される複数の第1のスイッチと、各々が前記第1ピットライン中の対応する偶数番ラインの一段と対応するグラウンドラインの一段との間に連結される複数の第2のスイッチと、前記第2ピットライン中の少なくとも1つの選択されたラインを通じたデーターセンシングのためのプリチャージが遂行される時、少なくとも1つの選択された第1ピットライン両側上の少なくとも1つの隣接した非選択された第1ピットラインを所定の電圧レベルまで充電する手段とを含むことを特徴とする半導体読出専用メモリ装置。

【請求項2】 前記所定の電圧レベルは前記第2ピットライン各々のプリチャージ電圧レベルであることを特徴とする請求項1に記載の半導体読出専用メモリ装置。

【請求項3】 前記充電手段は、ピットラインプリチャージ制御信号に応答して所定のプリチャージ電圧と同一なバイアス電圧を発生する手段及び、各々が前記グラウンドライン中の前記対応する1つの多段と前記バイアス電圧発生手段との間に連結される複数の第3のスイッチとを具備し、

ピットラインプリチャージ時間の間、前記少なくとも1つの選択された第1ピットラインの両側上の少なくとも1つの最も隣接した非選択された第1ピットラインに対応する少なくとも1つの第2のスイッチ及び少なくとも1つの第3のスイッチが各々オンされることを特徴とする請求項1に記載の半導体読出専用メモリ装置。

【請求項4】 前記充電手段は、ピットラインプリチャージ制御信号に応答して所定のプリチャージ電圧と同一なバイアス電圧を発生する手段及び、各々が前記第2ピットライン中の前記対応する1つの多段と前記バイアス電圧発生手段との間に連結される複数の第3のスイッチを具備し、

ピットラインプリチャージ時間の間、少なくとも1つの選択された第1ピットラインの両側上の前記少なくとも1つの最も隣接した非選択された第1ピットラインに対応する少なくとも1つの第1のスイッチ及び少なくとも

1つの第3のスイッチが各々オンされることを特徴とする請求項1に記載の半導体読出専用メモリ装置。

【請求項5】 複数の第1のピットラインと、複数のグループのメモリセルと、複数の第2ピットライ

05 ンと、前記第2ピットラインに各々対応する複数のグラウンドラインとを含み、

前記各グループ内のメモリセルは前記第1ピットライン中の2つの隣接したピットラインの間に並列に電気的に連結され、

前記第1ピットライン対第2ピットラインの比は2対1であり、各々が第1ピットライン中の対応する奇数番ラインの一段と対応する第2ピットラインの一段との間に連結される複数の第1のスイッチと、各々が第1ピット

15 ライン中の対応する偶数番ラインの一段と対応するグラウンドラインの一段との間に連結される複数の第2のスイッチとを含む階層的ピットライン構造を持つ読出専用半導体メモリ装置の読出方法において、

前記第2ピットライン中の少なくとも1つの選択された20 ラインのプリチャージが遂行される時、少なくとも1つの選択された第1ピットライン両側上の少なくとも1つの最も隣接した非選択された第1ピットラインを所定の電圧レベルまで充電する段階と、

少なくとも1つの選択された第2ピットラインを通じた25 データーセンシングを遂行する段階とを含むことを特徴とする読出専用半導体メモリ装置の読出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体読出専用メモリ(read only memory; ROM)に係り、より詳しくは、メモリセル(memory cells)を構成している酸化物半導体電界効果トランジスター(metal oxide semiconductor field effect transistor; MOSFET)が並列に連結され、アドレス遷移検出(address transition detection; AT

35 D)を採用し、そして、階層的なピットライン構造(hierarchical bit line architecture)を持つノア型マスクロム(NOR type mask ROM)及びその読出方法に関するものである。

【0002】

40 【従来の技術】 図1には、ATD技術を使用する典型的なROM装置が図示されている。図1を参照すると、このROM装置はメモリセルアレイ(memory cell array)10と、入力バッファー回路(input buffer circuits)1

2, 14, 16, 18、カラムバス回路(column pass circuit)20、感知増幅器回路(sense amplifier circuit)22、データーラッチ回路(data latch circuit)24、ロウプリデコーダー回路(row pre-decoder circuit)28、カラムプリデコーダー回路(column pre-decoder circuit)28、ATD回路30及び、データー出力バ

50 ッファー回路(data outputbuffer circuit)32を含ん

でいる。ATD回路30はショットパルス発生回路(short-pulse generation circuits)34, 36及び38、サメーター(summator)40、読出制御回路(read control circuit)42で構成される。

【0003】入力バッファー12, 14, 16, 18には外部からチップエネーブル信号(chip enable signal)1、ロウアドレス信号(row address signals)、カラムアドレス信号(column address signals)及び出力エネーブル信号(output enable signal)が各々印加される。入力バッファー12, 14, 16, 18は入力された外部信号を内部信号CEPi, RAPi, CAPI, OEiとして各々出力する。ロウアドレスバッファー14及びカラムアドレスバッファー16からのロウアドレス信号RAPi及びカラムアドレス信号CAPIはロウアリデコーダー回路26及びカラムプリデコーダー28に各々印加される。プリデコーダー回路26及び28はロウアドレス信号RAPi及びカラムアドレス信号CAPIによりセルアレイ10の特定メモリセルを選択する。

【0004】図1に示したように、入力バッファー12, 14, 16からのチップエネーブル信号CEPi、ロウアドレス信号RAPi、カラムアドレス信号CAPIはATD回路30内のショットパルス発生回路34, 36, 38に各々印加される。ショットパルス発生回路34はチップエネーブル信号の遷移が発生すると、ショットパルスを発生する。これと同じように、残りのショットパルス発生器36, 38各々も、少なくとも1つの入力アドレスの遷移が発生すると、ショットパルスを発生する。ショットパルス発生回路34, 36, 38の出力パルスはサメーター40に印加される。サメーター40はショットパルス発生回路34, 36, 38からのパルスを一つに結合し、所定の幅を持つ1つのパルス信号SMOを発生する。読出制御回路42はサメーター40からのパルス信号SMOに応答し、プリチャージ制御信号(preccharge control signal)PRE及び感知增幅制御信号(seNSE-amp control signal)SACSを発生する。ビットラインのプリチャージ動作はプリチャージ制御信号PREが所定の電圧レベルに維持される間に遂行される。

【0005】感知增幅器回路22は、プリデコーダー回路26及び28により選択されたセルに貯蔵されたデータを增幅してデーターラッチ回路24に提供する。ラッチ回路24からの出力データーは、出力エネーブル信号OEiに応答して動作するデーター出力バッファー回路32を介して外部に出力される。

【0006】図2は広く使用されている従来のNOR型マスクROM(“水平的な(lateral)マスクROM”とも言う)の1つのセルアレイブロック及びその周辺回路の等価回路図である。図2に示されたように、このROMの各セルアレイブロックでは、ビットラインが階層的に供給される。具体的には、ビットラインは基板上に規定(define)された対応するカラムに從

つて、各々伸張するメインビットライン(main-bit lines)MBL1, MBL2, …、とサブビットライン(sub-bit lines)SBL1, SBL2, …、とで構成される。各メインビットラインはアルミニウム(A1)からなる金属ビットライン(metal bit line)であり、各サブビットラインは拡散層(diffusion layer)からなる拡散ビットライン(diffusion bit line)である。1つのメインビットラインには2つのサブビットラインが対応する。各セルアレイブロックで、サブビットラインは2つのグループ(group)に区分される。グループ中の1つは奇数番(odd-numbered)サブビットラインSBL1, SBL3, …、で構成され、他の1つは偶数番(even-numbered)サブビットラインSBL2, SBL4, …、で構成される。1つのメインビットラインには2つの奇数番サブビットラインが対応し、2つの偶数番サブビットラインは1つのグラウンドライン(GL)に対応する。各2つの奇数番サブビットラインと偶数番サブビットラインとは相互に手を組むように組み合っている。

【0007】又、図2に示されたROMの各セルアレイブロックでは、MOSFETからなるメモリセル(Mmn)(m=1, 2, …, i : n=1, 2, …, j)がワードラインWL1～WLiに交差する複数のサブビットラインSBL1, SBL2, …、に関して並列に連結される。具体的には、各メモリセル(Mmn)はカラム方向に伸張する各対のサブビットラインSBL1及びSBL2, SBL3及びSBL4, …、とロウ方向に伸張するワードラインWL1～WLiとが交差することにより規定される各セル領域に配置される。各ロウ上のメモリセルのゲートは対応するワードラインに連結される。よく知られているように、マスクROMで、MOSFETからなるセル各々はデーター“0”的オフ・セル状態(off-cell state)すなわち、高いスレッショルド電圧(例えば5V)を持つ状態とデーター“1”的オン・セル状態(on-cell state)すなわち、低いスレッショルド電圧(例えば0.5V)を持つ状態とのいずれかにプログラムされる。

【0008】各2つの隣接したサブビットライン、SBL1とSBL2, SBL2とSBL3, SBL3とSBL4, …、の間の各カラム上のメモリセルM1k, M2k, …, Mikk(ここで、kは1あるいはそれより大きい整数)は1つのストリング(string)あるいはバンク(bank)になる。各2つの隣接した奇数番サブビットラインSBL2k-1及びSBL2k+1、すなわち、SBL1とSBL3, SBL3とSBL5等の間に、そして、各2つの隣接した偶数番サブビットラインSBL2k及びSBL2k+2、すなわち、SBL2とSBL4, SBL4とSBL6等の間には各々2つづつのセルストリングが割り当てられる。各2つの隣接し

たストリングのセルのソース (sources) は対応する偶数番サブビットライン SBL_{2k} に共通的に連結され、セルのドレイン (drains) はストリング両側の 2 つの奇数番サブビットライン SBL_{2k-1} 及び SBL_{2k+1} に各々連結される。例えば、セル M13 及び M14 のソースはサブビットライン SBL4 に共通的に連結され、セル M13 及び M14 のドレインはサブビットライン SBL3 及び SBL5 に各々連結される。奇数番サブビットライン SBL1, SBL3, …、はストリング選択用(string selecting)MOSFET、ST1, ST2, …、からなる第 1 のストリング選択回路を通じてメインビットライン MBL1, MBL2 …、と各々電気的に連結される。又、これと類似するように、偶数番サブビットライン SBL2, SBL4, …、はグラウンド選択用(ground selecting)MOSFET である GT1, GT2, …、からなる第 2 のストリング選択回路を通じて、グラウンドライン GL1, GL2, …、と各々電気的に連結される。

【0009】メインビットライン MBL1, MBL2, …、は第 1 グループのカラム選択用 MOSFET である BT1, BT2, …、を通じて感知増幅器 SA1, SA2, …、と各々電気的に連結され、グラウンドライン GL1, GL2 …、は第 2 グループのカラム選択用 MOSFET である GBT1, GBT2, …、を通じてグラウンド Vss と電気的に連結される。

【0010】以上のような階層的なビットライン構造を持つ ROM では、従来の NOR 型 ROM 装置に比べて、ビットライン上の寄生キャパシタンス(parasitic capacitance) を非常に減少させることができる。特に、拡散ビットラインが使用される時、ビットライン上の配線抵抗(wiring resistance) は非常に減少する。

【0011】

【発明が解決しようとする課題】しかし、セルデーターの読み出しがためのビットラインプリチャージ動作で、選択されるセルに隣接したセルのプログラミング状態により、次に説明するようにビットラインプリチャージ状態が著しく変わってしまうという問題が発生する。まず、選択されるセルに隣接したセルがオフ・セルとしてプログラミングされている場合には、選択されるセルと関連したメインビットラインのプリチャージングは正常に行われる。その結果、セル読み出しが正常に遂行される。しかし、例えば、図 2 のセル M11, M12, M13 及び M14 全てがオン・セルとしてプログラミングされており、セル M15 がオフ・セルとしてプログラミングされている場合には、メインビットライン MBL2 のプリチャージングが始まった後、ワードライン WL1 が活性化されると共に、ストリング選択用 MOSFET (ST3) がターン・オンされることにより、セル M15 が選択される時からデータセンシングが開始される時まで、メインビットライン MBL2 のプリチャージレベル

- が一定に維持されない。これはワードライン WL1 が活性化される時、セル M11, M12, M13 及び M14 全てがターン・オンされているため、メインビットライン MBL2 からサブビットライン SBL5, セル M14, M13, M12 及び M11 を順次を介してサブビットライン SBL4, SBL3, SBL2 及び SBL1 に漏洩電流が各々流れるためである。結局、この場合には、サブビットライン SBL4, SBL3, SBL2, SBL1 が選択されたメインビットライン MBL2 の負荷 (loads) として作用する。このようなメインビットライン MBL2 のプリチャージレベルの降下 (drop) はデータセンシングマージンを減少させ、電源電圧 Vcc の引下げ及び高速読み出しが動作への制限要素として作用する。
- 【0012】本発明の目的は低い電源電圧 Vcc を有する高速 NOR 型 ROM を提供することである。本発明の他の目的は安定されたビットラインプリチャージを遂行する NOR 型 ROM を提供することである。本発明の他の目的は NOR 型 ROM の高速読み出しが方法を提供することである。
- 【0013】
- 【課題を解決するための手段】上記目的を達成するための一つの特徴によると、階層的なビットライン構造を持つ半導体読み出専用メモリ装置は、複数の第 1 のビットラインと、複数のグループのメモリセルと、複数の第 2 のビットラインと、第 2 ビットラインに各々対応する複数のグラウンドラインとを含み、各グループ内のメモリセルは第 1 ビットライン中の 2 つの隣接したビットラインに並列に電気的に連結され、第 1 ビットライン対第 2 ビットラインの比は 2 対 1 であり、各々が第 1 ビットライン中の対応する奇数番ラインの一段と対応する第 2 ビットラインの一段との間に連結される複数の第 1 のスイッチと、各々が第 1 ビットライン中の対応する偶数番ラインの一段と対応するグラウンドラインの一段との間に連結される複数の第 2 のスイッチと、第 2 ビットライン中の少なくとも 1 つの選択されたラインを通じたデータセンシングのためのプリチャージが遂行される時、少なくとも 1 つの選択された第 1 ビットライン両側上の少なくとも 1 つの選択された第 1 ビットラインを所定の電圧レベルまで充電する手段とを含む。
- 【0014】一つの実施例において、充電手段は、ビットラインプリチャージ制御信号に応答して所定のプリチャージ電圧と同一なバイアス電圧を発生する手段及び、各々がグラウンドライン中の対応する 1 つの多段とバイアス電圧発生手段との間に連結される複数の第 3 のスイッチとを具備し、ビットラインプリチャージ時間の間、少なくとも 1 つの選択された第 1 ビットラインの両側上の少なくとも 1 つの最も隣接した非選択された第 1 ビットラインに対応する少なくとも 1 つの第 2 のスイッチ及び少なくとも 1 つの第 3 のスイッチが各々オン (ON)

される。

【0015】他の実施例において、充電手段は、ビットラインプリチャージ制御信号に応答して所定のプリチャージ電圧と同一なバイアス電圧を発生する手段及び、各々が第2ビットライン中の対応する1つの多段とバイアス電圧発生手段との間に連結される複数の第3のスイッチを具備し、ビットラインプリチャージ時間の間、少なくとも1つの選択された第1ビットラインの両側上の少なくとも1つの最も隣接した非選択された第1ビットラインに対応する少なくとも1つの第1のスイッチ及び少なくとも1つの第3のスイッチが各々オンされる。

【0016】本発明の他の特徴によると、複数の第1のビットラインと、複数のグループのメモリセルと、複数の第2のビットラインと、第2ビットラインに各々対応する複数のグラウンドラインとを含み、各グループ内のメモリセルは第1ビットライン中の2つの隣接したビットラインの間に並列に電気的に連結され、第1ビットライン対第2ビットラインの比は2対1であり、各々が第1ビットライン中の対応する奇数番ラインの一段と対応する第2ビットラインとの一段の間に連結される複数の第1のスイッチ及び、各々が第1ビットライン中の対応する偶数番ラインの一段と対応するグラウンドラインの一段とに連結される複数の第2のスイッチとを含む階層的ビットライン構造を持つ読出専用メモリ装置の読出方法において、第2ビットライン中の少なくとも1つの選択されたラインのプリチャージが遂行される時、少なくとも1つの選択された第2ビットライン両側上の少なくとも1つの最も隣接した非選択された第1ビットラインを所定の電圧レベルまで充電する段階と、少なくとも1つの選択された第2ビットラインを通じたデータセンシングを遂行する段階とを含む。

【0017】

【発明の実施の形態】次に、添付された図面により本発明の実施の形態について説明する。図3は本発明の一実施例による階層的ビットライン構造を持つNOR型マスクROMの一つのセルアレイブロック及びその周辺回路の等価回路図である。図3を参照すると、NOR型マスクROMはセルアレイブロック44と、第1及び第2カラム選択回路46及び48、感知増幅器回路SA1～SAj、バイアス電圧発生回路B1～Bj及び、バイアス選択回路50を含んでいる。このNOR型マスクROMのビットラインは基板上に規定された対応するカラムに従って各々伸張するメインビットラインMBL1, MBL2, …、とサブビットラインSBL1, SBL2, …、とで構成される。各メインビットラインはアルミニウム(A1)などの金属からなり、各サブビットラインは拡散層からなる。一つのメインビットラインには2つのサブビットラインが対応する。各セルアレイブロック44で、サブビットラインは2つのグループに区分される。一つは、グループ中の奇数番サブビットラインSBL1, SBL3, …、であり、他の一つは偶数番サブビットラインSBL2, SBL4, …、である。一つのメインビットラインには2つの奇数番サブビットラインが対応し、2つの偶数番サブビットラインには一つのグラウンドラインGLが対応する。各2つの奇数番サブビットラインと偶数番サブビットラインとは相互に手を組むように入組み合っている。

【0018】又、本実施例によるROMの各セルアレイブロック44では、MOSFETからなるメモリセル(Mmn) (m=1, 2, …, i : n=1, 2, …, j) がワードラインWL1～WLiに交差する2つのサブビットライン、例えば、SBL1, SBL2、及びSBL4, …、に関して並列に連結される。具体的には、各メモリセル(Mmn)はカラム方向に伸張する各対のサブビットラインSBL1及びSBL2, SBL3及びSBL4, …、とロウ方向に伸張するワードラインWL1～WLiとが交差することにより規定される各セル領域に配置され、各ロウ上のメモリセルのゲートは対応するワードラインに連結される。

【0019】各2つの隣接したサブビットライン、SBL1とSBL2, SBL2とSBL3, SBL3とSBL4, …、の間の各カラム上のメモリセルM1k, M2k, …, Mikk (ここで、kは1あるいはそれより大きい整数)は一つのストリング(string)あるいはバンク(bank)になる。各2つの隣接した奇数番サブビットラインSBL2k-1及びSBL2k+1、すなわち、SBL1とSBL3, SBL3とSBL5等の間に、そして、各2つの隣接した偶数番サブビットラインSBL2k及びSBL2k+2、すなわち、SBL2とSBL4、SBL4とSBL6等の間には各々2つづつのセルストリングが割り当てられる。各2つの隣接したストリングのセルのソース(sources)は対応する偶数番サブビットラインSBL2kに共通的に連結され、セルのドレイン(drains)はストリング両側の2つの奇数番サブビットラインSBL2k-1及びSBL2k+1に各々連結される。例えば、セルM13及びM14のソースはサブビットラインSBL4に共通的に連結され、セルM13及びM14のドレインはサブビットラインSBL3及びSBL5に各々連結される。

【0020】奇数番サブビットラインSBL1, SBL3, …、はストリング選択用(string selecting)MOSFET、ST1, ST2, …、からなる第1のストリング選択回路を通じてメインビットラインMBL1, MBL2 …、と各々電気的に連結される。又、これと類似するように、偶数番サブビットラインSBL2, SBL4, …、はグラウンド選択用MOSFETであるGT1, GR2, …、からなる第2のストリング選択回路を通じて、グラウンドラインGL1, GL2, …、と各々電気的に連結され得る。

【0021】メインビットラインMBL1～MBLjは

第1グループのカラム選択用MOSFETであるBT₁, BT₂, …, からなる第1のカラム選択回路46を介して感知増幅器SA1～SAjと各々電気的に連結される。図4には図3の各感知増幅器回路SAN(ここで, n=1, 2, …, j)が示されている。図4に示されたように、本実施例による感知増幅器回路SANは、第1カラム選択回路46内の対応する選択MOSFET(BTn)を通じて対応するメインビットライン(MBLn)に電気的に連結されるデーターライン(DL)と、周知のダミーセル(dummy cell)(図示せず)からのデーターセンシングに必要な基準電圧(reference voltage)を受け入れるためのダミーデーターライン(dummy data line)あるいは基準ライン(DDL)と、ビットラインプリチャージ時間の間に対応するメインビットライン(MBLn)をプリチャージするための第1プリチャージ回路52と、プリチャージ時間の間に対応するダミービットライン(図示せず)をプリチャージするための第2プリチャージ回路54と、電流ミラー型差動増幅器(current mirror type differential amplifier)56とを含んでいる。

【0022】プリチャージ回路52は4つのnMOSFETであるMN1～MN4と2つのpMOSFETであるMP1及びMP1とで構成される。nMOSFET(MN1)のドレイン・ソースチャンネル、すなわち、電流通路は差動増幅器56の1つの入力ノードN1とデーターラインDLnとの間に連結される。nMOSFET(MN2)の電流通路はnMOSFET(MN1)のゲートとグラウンドとの間に連結され、そのゲートは対応するデーターラインDLnに連結される。nMOSFET(MN3)の電流通路はnMOSFET(MN1)のゲートとグラウンドとの間に連結され、そのゲートは、ATD回路(図1の3.0参照)からのセンスアンプ制御信号(SACS)の相補信号(complementary signal)(SACS/バー)に連結される。pMOSFET(MP1)の電流通路は電源(power supply)とnMOSFET(MN1)のゲートとの間に連結され、そのゲートは信号(SACS/バー)に連結される。nMOSFET(MN4)の電流通路は電源と差動増幅器56の入力ノード(N1)との間に連結され、そのゲートはATD回路(図1の3.0参照)からのプリチャージ制御信号(PRE)に連結される。pMOSFET(MP2)の電流通路は電源とノードN1との間に連結され、そのゲートもノードN1に連結される。このプリチャージ回路52で、FET(MN4及びMP2)はビットラインプリチャージ時間の間に対応するメインビットラインに一定なプリチャージ電流を伝送(DELIVER)する電流源(current source)として作用し、FETであるMN1～MN3及びMP1は対応するデーターラインDLn、すなわち、対応するメイン及びサブビットラインの電圧レベルをnMOSFET(MN2)のスレッショルドレベルと

同一になるようにさせるバイアス回路として作用する。

【0023】プリチャージ回路54も4つのnMOSFETであるMN5～MN8と2つのpMOSFETであるMP3及びMP4とで構成され、図示されたように、5nMOSFET(MN5)が、差動増幅器56の他の入力ノードN2とダミーデーターラインDDLnとの間に連結される電流通路を持つ他のものを除いては実際にプリチャージ回路52の構成と同一である。このプリチャージ回路54で、FETであるMN8及びMP4もビットラインプリチャージ時間の間に対応するメインビットラインに一定なプリチャージ電流を伝送する電流源として作用し、FETであるMN5～MN7及びMP3は対応するダミーデーターラインDDLn、すなわち、対応するダミーセルビットラインの電圧レベルがnMOSFET(MN6)のスレッショルドレベルと同一となるようにさせるバイアス回路として作用する。

【0024】差動増幅器56は、電源に接続される一対のpMOSFETであるMP5及びMP6と、このMP5及びMP6に各々連結されるnMOSFETであるMN9及びMN10と、FETであるMN9及びMN10の接続点(contact)とグラウンドとの間に連結されるnMOSFETであるMN11とで構成される。FETであるMN9及びMN10各々は同一な特性を持つ。FETであるMN9及びMN10のゲートはデータ感知区間の間にFETであるMN5及びMN1を通じて基準ラインDDLn及びデーターラインDLnに各々連結され、FET(MN11)のゲートはセンスアンプ制御信号(SACS)に連結される。

【0025】再び、図3に戻って、グラウンドラインGL1～GLjは第2グループのカラム選択用MOSFETのGBT1～GBTjからなる第2のカラム選択回路48を介してグラウンドVssと電気的に連結することができる。又、グラウンドラインGL1～GLjは第3グループのカラム選択用MOSFETのBBT1～BBTjからなるバイアス選択回路50を介してバイアス電圧発生回路B1～Bjと電気的に各々連結することができる。

【0026】図5には本実施例による各バイアス電圧発生回路Bnが示されている。図5を参照すると、バイアス電圧発生回路は4つのnMOSFETのQN1～QN4と1つのpMOSFETのQP1とで構成される。電源と対応するグラウンドラインGLnとの間にnMOSFETのQN1及びQN2の電流通路がそれ直列に連結される。nMOSFETのQN1のゲートはプリチャージ制御信号PERと連結される。nMOSFETのQN3の電流通路はnMOSFETのQN2のゲートとグラウンドとの間に連結され、そのゲートはノードN3に連結される。ノードN3はバイアス選択回路50の対応するFETのBBTnを介して対応するグラウンドラインのGLnに連結される。nMOSFETのQN4

の電流通路はnMOSFETのQN2のゲートとグラウンドとの間に連結され、そのゲートはセンスアンプ制御信号(SACS)の相補信号(SACS/バー)に連結される。pMOSFETのQP1の電流通路は電源とnMOSFETのQN2のゲートとの間に連結され、そのゲートは前記信号(SACS/バー)に連結される。

【0027】上述のような構成を持つこの実施例で、第2のカラム選択回路46、バイアス電圧発生回路B1～Bj及び、バイアス選択回路50は、メインビットラインMBL1～MBLj中の少なくとも1つの選択されたラインを通じたデーターセンシングのためのプリチャージが遂行される時、サブビットラインSBL1、SBL3、…、中の少なくとも1つの選択されたライン両側上の少なくとも1つの最も隣接した非選択されたサブビットラインを所定のプリチャージ電圧レベルまでに充電する機能を遂行する。次に、これに対して図6のタイミング図を参照しながら、具体的に説明する。

【0028】メモリセルM15がオン・セル(データー“1”が貯蔵されたセル)としてプログラムされており、セルM15両側の隣接したセルM14及びM16がオフ・セル(データー“0”が貯蔵されたセル)としてプログラムされている場合には、ビットラインプリチャージ時間の間に前述したような問題は発生しないので、周知の方式によりセルM15に対する読出動作が次のように遂行される。外部からメモリセルM15を選択するアドレスが入力されると、まず、カラムプリデコーダー28によりブロック選択信号BS2が活性化されてメインビットラインMBL2が感知増幅器SA2に電気的に連結される。この時、ブロック選択信号GB2も活性化され、グラウンドラインGL2がグラウンドに電気的に連結される。次に、感知増幅器SA2のプリチャージ回路52及び54がATD回路30からのプリチャージ制御信号PRE、センスアンプ制御信号(SACS/バー)に応答して、メインビットラインMBL2及び対応する基準ラインDDL2を各々所定の電圧レベルまでプリチャージさせる。以後、ロウプリデコーダー26によりワードラインWL1と共に、ストリング選択信号SS1が活性化されると、データーセンシングが始まる。この時、セルM15がオン・セル、すなわち、低いスレッショルド電圧(例えば0～5V)を持つセルとしてプログラムされていると、ダミーセル(図示せず)を通じて流れる電流の量よりもセルM15を通じて流れる電流の量が多いので、基準ラインの電圧レベルよりもメインビットラインMBL2の電圧レベルが低くなる。従って、差動増幅器56はハイレベルのデーター信号VsAを出力する。このようにして、セルM15がオン・セルであることが認識される。反面、セルM15がオフ・セル、すなわち、高いスレッショルド電圧(例えば5V)を持つセルとしてプログラムされていると、ダミーセルを通じて流れる電流の量よりもセルM15を通じて流れる電

流の量が少ないので、基準ラインの電圧レベルよりもメインビットラインMBL2の電圧レベルが高くなる。従って、差動増幅器56はローレベルのデーター信号VsAを出力する。このようにして、セルM15がオフ・セルであることが認識される。

- 【0029】次に、例えば、図3のセルM11、M12、M13、M14全てがオン・セルとしてプログラミングされており、セルM15がオフ・セルとしてプログラミングされている場合を説明する。外部からメモリセルM15を選択するアドレスが入力されると、ブロック選択信号BS2及びGB2が活性化される。又、この時、グラウンド選択信号GS2及びGB2が活性化される。又、この時、グラウンド選択信号GB2及びバイアス選択信号BIAS1が活性化される。次に、ATD回路30からのプリチャージ制御信号PREと、センスアンプ制御信号(SACS/バー)とに応答して、バイアス電圧発生回路52及び54はサブビットラインSBL4、メインビットラインMBL2及び基準ラインDDL2を各々所定の電圧レベルまでプリチャージさせる。これで、ワードラインWL1が活性化されてセルM11～M14全てがターン・オンされても、サブビットラインSBL4がプリチャージされているので、セルM15と関連するビットラインのローディングが小さくなる。その結果、ビットラインプリチャージ時間が早くなるので、データーセンシング速度が向上し、漏洩電流がないので、低いVcc動作が可能になる。
- 【0030】図7は本発明の他の階層的ビットライン構造を持つNOR型マスクROMの一つのセルアレイブロック及びその周辺回路の等価回路図である。図7を参照すると、この実施例のROM装置は、バイアス電圧発生回路B1～Bjがバイアス選択回路50aを通じてメインビットラインMBL1～MBLjに各々電気的に連結されることを除いては、前の実施例の装置と同一な構成を持つ。
- 【0031】前述したのと同様に、例を取ると、図7のセルM11、M12、M13、M14全てがオン・セルとしてプログラムされており、セルM15がオフ・セルとしてプログラムされている場合、外部からメモリセルM15を選択するアドレスが入力されると、ブロック選択信号BS2及びGB2が活性化される。また、この時、ストリング選択信号SS2及びバイアス選択信号(BIAS1)が活性化される。次に、ATD回路30からのプリチャージ制御信号PREと、センスアンプ制御信号(SACS/バー)とに応答して、バイアス電圧発生回路B1、プリチャージ回路52及び43はサブビットラインSBL3、メインビットラインMBL2及び基準ラインDDL2を各々所定レベルまでプリチャージさせる。これで、ワードラインWL1が活性化されてセルM11～M14全てがターンオンされても、サブビットラインSBL3がプリチャージされているので、セル

M15と関連するビットラインのローディングが少なくなる。

【0032】

【発明の効果】以上説明したように本発明によると、階層的ビットライン構造を持つNOR型ROMのビットラインプリチャージ時間が早くなり、漏洩電流がないので、低いVcc及び高速動作ができるようになる。

【図面の簡単な説明】

【図1】アドレス遷移検出(ATD)を使用する典型的な半導体読出専用メモリ(semiconductor ROM)装置の構成を示すブロック図。

【図2】階層的なビットライン構造を持つ従来のマスク読出専用メモリ(mask ROM)の中心部分を示す回路図。

【図3】本発明の一つの実施例によるマスク読出専用メモリの中心部分を示す回路図。

【図4】図3の感知増幅器回路の回路図。

【図5】図3のバイアス回路の回路図。

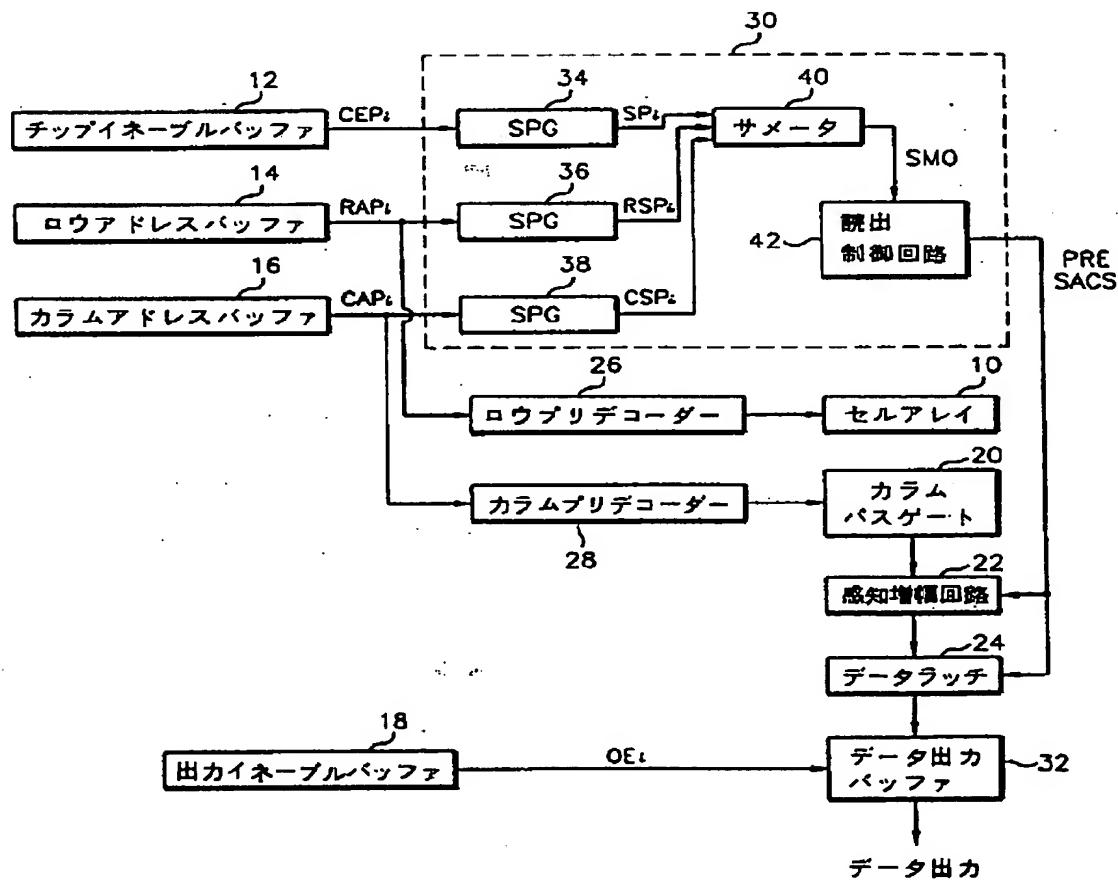
【図6】図3の本発明によるマスク読出専用メモリの動作タイミングの一例を示す図。

【図7】本発明の他の実施例によるマスク読出専用メモリの中心部分を示す回路図。

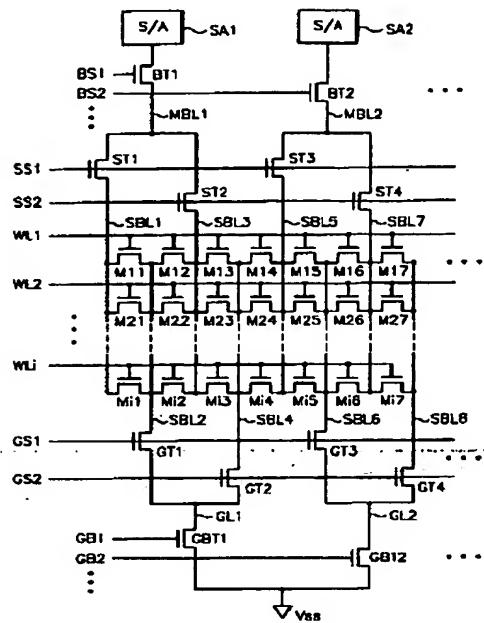
【符号の説明】

18	アドレス遷移検出回路
26	ショットパルス発生回路
44	セルアレイ
46	カラム選択回路
10 48	グラウンド選択回路
50, 50a	バイアス選択回路
WL _i	ワードライン
MBL _j	メインビットライン
SBL _j	サブビットライン
15 GBL _j	グラウンドビットライン
SAT _j	感知増幅器
B _j	バイアス回路

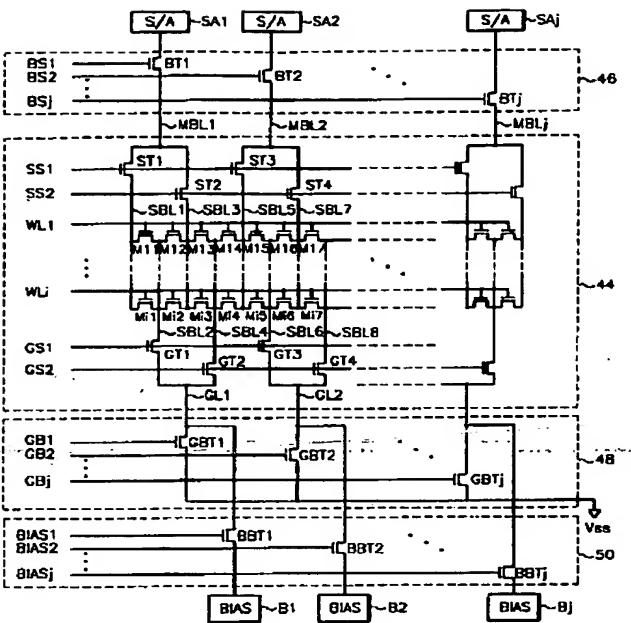
【図1】



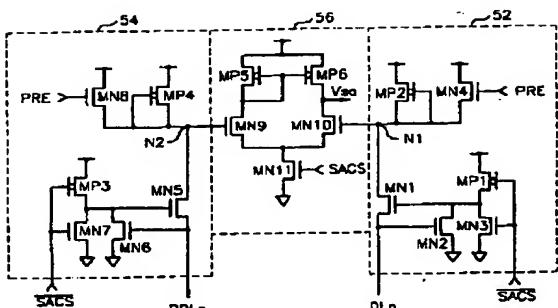
【図2】



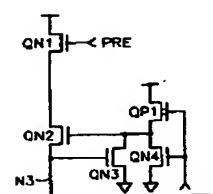
【図3】



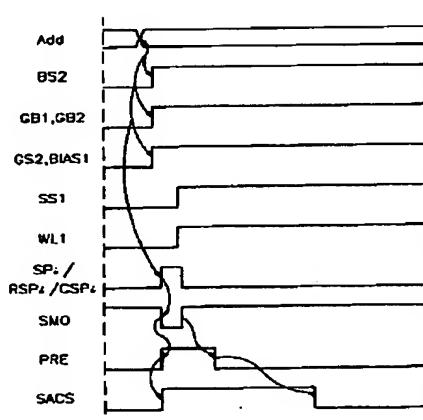
【図4】



【図5】



【図6】



【図7】

